

MANUFACTURE OF SEMICONDUCTOR DEVICE

Patent Number: JP2000114362
Publication date: 2000-04-21
Inventor(s): ONISHI HIDEAKI
Applicant(s): NEC CORP
Requested Patent: ☐ JP2000114362
Application Number: JP19980281574 19981002
Priority Number(s):
IPC Classification: H01L21/76; H01L21/316; H01L21/318
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To prevent degradation in shape due to wet etching during a device process, by filling element isolation trenches partway in the direction of the depth of the trenches by SOG, and filling the upper part of the trenches with an oxide film by CVD when the trenches are filled with an oxide film.

SOLUTION: A SiO₂ film 2 is formed on a Si substrate 1 by thermal oxidation, and a SiN film 3 is formed on the SiO₂ film 2. The SiN film 3, SiO₂ film 2, and Si substrate 1 are anisotropically etched, respectively, to form isolating trenches. An SiO₂ film 4 is formed in the trenches, a SOG solution is then applied, and the trenches are filled by SOG partway in the direction of the depth of the trenches to form a SOG film 5. Subsequently, the upper part of the interior of the trenches is subjected to CVD at a high a temperature as 800 deg.C or so using silane gas, an HTO film 6 forming an oxide film is thereby formed, and the trenches are filled.

Data supplied from the esp@cenet database - I2

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号
特開2000-114362
(P2000-114362A)

(43)公開日 平成12年4月21日(2000.4.21)

(51)Int.Cl. ⁷	識別記号	F I	テマコード*(参考)
H 0 1 L 21/76		H 0 1 L 21/76	L 5 F 0 3 2
21/316		21/316	H 5 F 0 5 8
21/318		21/318	B

審査請求 有 請求項の数 3 O L (全 5 頁)

(21)出願番号 特願平10-281574

(22)出願日 平成10年10月2日(1998.10.2)

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 大西 秀明

東京都港区芝五丁目7番1号 日本電気株式会社内

(74)代理人 100065385

弁理士 山下 稯平

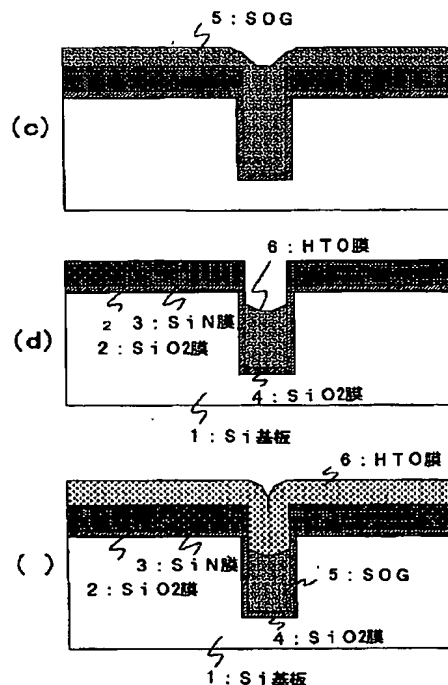
Fターム(参考) 5F032 AA44 AA45 AA49 AA50 AA70
AA77 AA78 DA02 DA10 DA23
DA25 DA33 DA34 DA53
5F058 BA02 BD02 BD04 BD10 BD19
BF02 BF07 BF23 BF29 BF46
BH12 BH20 BJ01 BJ06

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】 (修正有)

【課題】 半導体装置のトレンチ分離において、SOG膜でトレンチの埋込を行うと、デバイスプロセス中のウェットエッチング工程により大きくエッチングされ、トレンチ分離の形状が悪化する。

【解決手段】 トレンチ素子分離工程を有する半導体装置の製造方法において、トレンチ素子分離の酸化膜による埋め込みを行う際、トレンチの深さ方向の途中までSOGで埋め込み、トレンチの上部は、CVDによる酸化膜としてSiO₂膜例えばHTO膜により埋め込みを行う。



【特許請求の範囲】

【請求項1】 トレンチ分離形状を有する半導体装置の製造方法において、トレンチ素子分離の酸化膜による埋め込みを行う際、トレンチの深さ方向の途中までSOGで埋め込み、トレンチの上部は酸化膜により埋め込みを行うことを特徴とする半導体装置の製造方法。

【請求項2】 前記トレンチの上部の酸化膜が、HTO膜またはLTO膜である請求項1に記載の方法。

【請求項3】 前記SOG膜が、無機SOG膜、有機SOG膜、またはHSQ (Hydrogen-Silsesquioxane) 膜である請求項1に記載の方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、トレンチ分離工程を有する半導体装置の製造方法に関し、詳しくは、良好なトレンチ分離形状が得られるように改良された半導体装置の製造方法に関する。

【0002】

【従来の技術】本発明が関する半導体装置の製造方法では、良好なトレンチ分離形状が得られることが重要な要素の一つとなっている。

【0003】この目的のために、通常埋め込み性が比較的良好く、熱酸化膜に近い膜質のトレンチ埋め込み酸化膜を得る方法として、HDP-CVDを用いる方法がある。しかしながら、この方法では、トレンチ分離幅200nm以下でアスペクト比3以上の高アスペクト比のトレンチの埋め込みを行うと、図5の様に十分な埋め込み性が得られず、素子分離特性の悪化を招くことになる。

【0004】また埋め込み性良く酸化膜を形成する方法としては、塗布膜であるSOGを用いて酸化膜を形成する方法がある。この方法によれば、上記のような高アスペクト比のトレンチの埋め込みが可能となるが、図6に示すように、トレンチと他の部分との間に大きい段差が生じるという欠点がある。

【0005】さらに特公平7-077231号公報には、半導体装置のトレンチ分離方法が開示されている。この公知の方法においては、アスペクト比の大きいトレンチを隙間なく埋め込むために、基板上に下敷酸化膜、窒化膜を成長後、それらの膜にトレンチパターンを開口し、窒化膜をマスクにトレンチを掘削し、トレンチ表面を酸化した後、SOGを塗布、エッチバックし、トレンチ表面近くまでSOGがトレンチを埋め込む構造とする。その後、ウェットエッチング耐性の良いHTO膜をCBDにより成長させ、初期に設けた酸化膜、窒化膜を除去し、基板表面を酸化することにより、トレンチ分離を有する、段差の小さい基板が得られる。

【0006】

【発明が解決しようとする課題】しかしSOG膜は、ウェットエッチング耐性が弱いために、デバイスプロセス中のウェットエッチング工程により、図3のように大き

くエッチングされ、トレンチ分離の形状が悪化し、素子特性に悪影響を及ぼす。またSOG膜は金属等の不純物を多く含む膜であり、トレンチ表面にSOG膜がむき出しの状態では、ゲート酸化工程等への悪影響を及ぼすおそれがある。

【0007】本発明の主な目的は、埋め込み性の良いトレンチ分離を形成する半導体装置の製造方法を提供することにある。

【0008】本発明の他の目的は、エッチング耐性が高いトレンチ分離を形成し、プロセス安定性の高い半導体装置の製造方法を提供することにある。

【0009】

【課題を解決するための手段】本発明の特徴は、トレンチ素子分離の埋め込み工程において、トレンチの深さ方向の途中までSOGを用いた酸化膜を形成し、トレンチの上部の埋め込みはCVD法による酸化膜で形成することにある。

【0010】すなわち本発明による製造方法においては、トレンチ素子分離の酸化膜による埋め込みを行う際、トレンチの深さ方向の途中までSOGで埋め込み、トレンチの上部は、CVDによる酸化膜として SiO_2 膜例えばHTO膜により埋め込みを行う。

【0011】このようにSOGを用いてトレンチ上部の埋め込みを行うことにより、アスペクト比の高いトレンチの埋め込みを行うことが容易となり、かつトレンチ上部の埋め込みを膜質、特にウェットエッチング耐性の良いHTO膜等のCVD膜で形成することで、デバイスプロセス中でのウェットエッチングによる形状悪化を防ぐ役目を果たす。

【0012】従って、埋め込み性が良くかつプロセス安定性の高いトレンチ分離がアスペクト比が高いトレンチでも実現出来るという効果が得られる。

【0013】

【発明の実施の形態】本発明を図面を参照して説明する。図1(a)乃至図4(j)は、本発明の一実施の形態における工程断面図を示している。

【0014】まず、Si基板1上に、熱酸化により SiO_2 膜2を例えば10nmの厚さで形成し、CVD法によりSiN膜3を例えば150nmの厚さで形成する。そしてリソグラフィー工程を用いてSiN膜3、 SiO_2 膜2、Si基板1をそれぞれ異方性エッチングによりエッチングし、トレンチ分離の溝を例えば幅200nm、深さ500nmで形成する(図1(a))。

【0015】そしてエッチングダメージ緩和のために、熱酸化によりトレンチ内部に SiO_2 膜4を形成する(図1(b))。

【0016】ついでSOG溶液を塗布し、例えば400℃でベークを行ってSOG膜5を形成する(図2(c))。SOG膜5は、このように溶液を塗布することにより形成するので、本例の様なアスペクト比の高い

トレンチ内部にも埋め込み性良く膜形成できる。次にSi基板表面から100nm程度の深さまで、異方性ドライエッチングによりSOG膜5のエッチバックを行う(図2(d))。

【0017】次に、トレンチの溝の上部100nmを、シラン系ガスを用いて800℃程度の高温でCVDを行うことにより、酸化膜形成を行うことによる、いわゆるHTO膜6を200nmの厚さで形成することにより埋め込みを行う(図2(e))。

【0018】このHTO膜6は、ウエットエッチング耐性も高く、かつ金属不純物等が混入しにくいことで知られている。そしてCMPにより、SiN上の余分なHTO膜6は除去される(図3(f))。

【0019】ついで、ウエットエッチングにより、SiN膜3とSiO₂膜2を除去し(図3(g))、熱酸化によりウェルやチャネル形成のイオン注入のマスクとなるSiO₂膜7を形成し(図3(h))、そして図では簡単のため省略するが、イオン注入でウェルとチャネルを形成した後に、ウエットエッチングでSiO₂膜7を除去し(図4(i))、熱酸化によりゲートSiO₂膜8が、そして例えばCVD法によるポリシリコンでゲート電極9が形成される(図4(j))。

【0020】この後は、公知の方法でゲート電極のパターニングが行われ、ソース・ドレインが形成され、配線工程を経てMOSデバイスが形成されることになる。

【0021】このような製造方法においては、トレンチの下部はSOGで埋め込み、上部はCVD法で例えばHTO膜で埋め込んでいるため、本例のようなアスペクト比の高いトレンチでも良好に埋め込むことができ、かつウエットエッチング耐性の高いHTO膜で覆っているため、プロセス中のトレンチ酸化膜の膜減りも小さく、このため良好なトレンチ形状が得られる。さらに、SOGがキャップされるために、SOG中の不純物のゲート酸化工程等への影響も防ぐことが出来るという効果がもたらされる。これにより、ウエットエッチング耐性の高い膜を形成することができる。

【0022】上記の実施の形態において、HTO膜の代わりに、ウエットエッチング耐性の高さが得られるならば、成長温度を低くした、いわゆるLTO膜を用いても良い。またプラズマCVDでも、HDP(High Density Plasma)CVDで形成した酸化膜は、ウエットエッチ

ング耐性の高い膜が得られることが知られており、HTOの代わりにこれを用いても良い。さらにSOG膜は、無機SOG、有機SOGのれを用いても良く、HSQ(Hydrogen-Silsesquioxane)の様な低誘電率の塗布膜を用いても良い。

【0023】

【発明の効果】以上に説明したように、本発明の半導体装置の製造方法においては、SOGを用いてトレンチ上部の埋め込みを行うことにより、アスペクト比の高いトレンチの埋め込みを行うことが容易となり、かつトレンチ上部の埋め込みを膜質、特にウエットエッチング耐性の良いHTO膜等のCVD膜で形成することで、デバイスプロセス中でのウエットエッチングによる形状悪化を防ぐ役目を果たす。

【0024】従って、埋め込み性が良くかつプロセス安定性の高いトレンチ分離がアスペクト比が高いトレンチでも実現出来るという効果が得られる。

【図面の簡単な説明】

【図1】(a)、(b)は本発明の一実施の形態における工程断面図。

【図2】(c)～(e)は図1(a)の工程に続いて行われる工程の工程断面図。

【図3】(f)～(h)は図2(e)の工程に続いて行われる工程の工程断面図。

【図4】(i)、(j)は図3(h)の工程に続いて行われる工程の工程断面図。

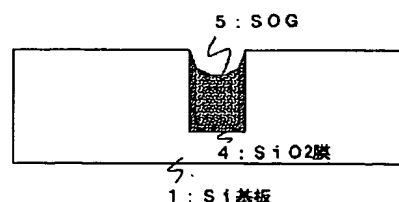
【図5】従来の方法で得られたトレンチ埋め込み酸化膜を示す断面図。

【図6】従来の他の方法で得られたトレンチ埋め込み酸化膜を示す断面図。

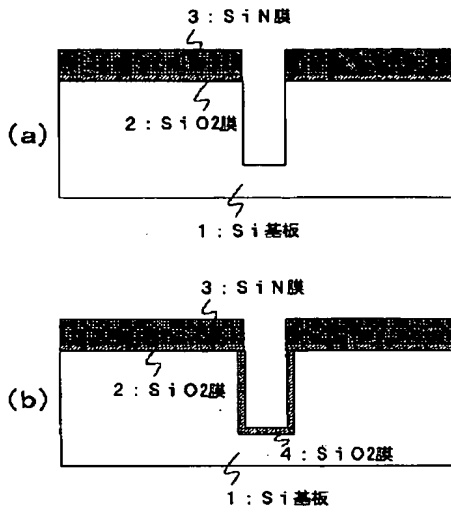
【符号の説明】

- 1 Si基板
- 2 SiO₂膜
- 3 SiN膜
- 4 SiO₂膜
- 5 SOG
- 6 HTO膜
- 7 SiO₂膜
- 8 ゲートSiO₂膜
- 9 ゲート電極

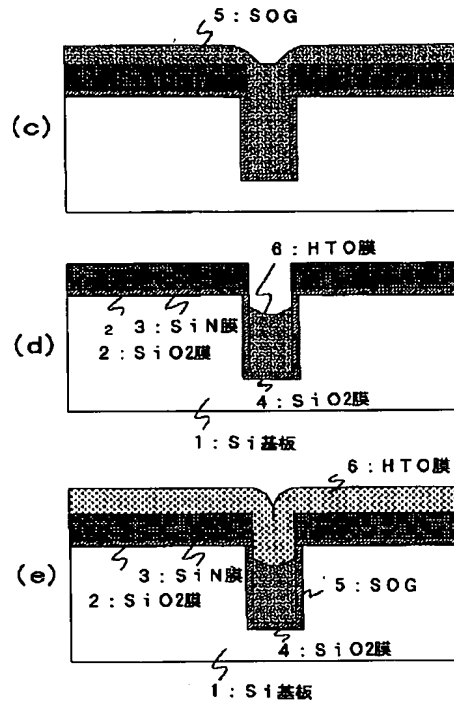
【図6】



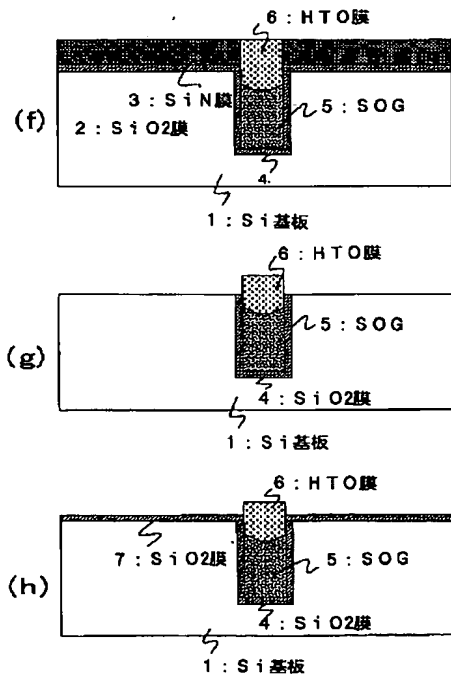
【図1】



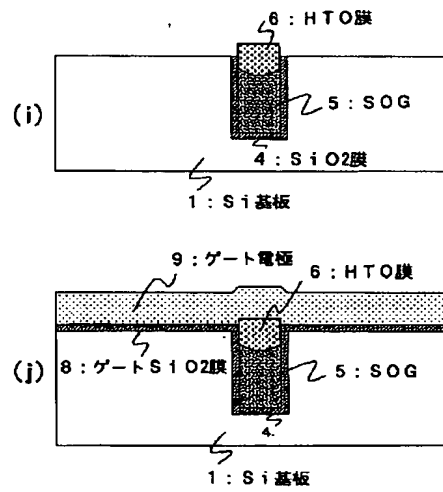
【図2】



【図3】



【図4】



【図5】

